

(11)Publication number : 04-283938

(43)Date of publication of application : 08.10.1992

---

(51)Int.Cl. H01L 21/336  
H01L 29/784  
G02F 1/1343  
G02F 1/136  
H01L 27/12

---

(21)Application number : 03-046798 (71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 12.03.1991 (72)Inventor : ICHIKAWA SHINJI  
SHIMADA TOSHIO

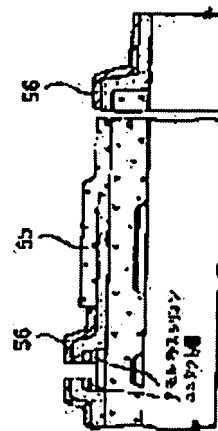
---

**(54) MANUFACTURE OF LIQUID CRYSTAL DISPLAY DEVICE**

**(57)Abstract:**

**PURPOSE:** To make a step coverage excellent, to improve a yield and also to attain an improvement in the yield by prevention of a slippage of a mask, by adopting a lift-off method.

**CONSTITUTION:** A stepped part of a conductor (a gate and a gate line correspond thereto in the case of a device using TFT, for instance) of a first layer of a liquid crystal display device is formed to be gently sloping by a lift-off method. According to the lift-off method, the material of this conductor is formed between resists, going-around of this conductor material is prevented by the resists and the formation of the conductor is attained. Accordingly, a step coverage of a film applied on the upper layer of this conductor is made excellent. Besides, a source electrode (drain electrode) and a display electrode (drain line) are constructed integrally of ITO. Even when an electrode formed on the ITO slips due to a slippage of a mask, accordingly, a connection fault can be eliminated.



---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-283938

(43) 公開日 平成4年(1992)10月8日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
G 0 2 F 1/1343		9018-2K		
1/136	5 0 0	9018-2K		
		9056-4M		
			H 0 1 L 29/78	3 1 1 P

審査請求 未請求 請求項の数6(全 9 頁) 最終頁に続く

(21) 出願番号 特願平3-46798

(22) 出願日 平成3年(1991)3月12日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 市川 伸治

守口市京阪本通2丁目18番地 三洋電機株式会社内

(72) 発明者 島田 敏男

守口市京阪本通2丁目18番地 三洋電機株式会社内

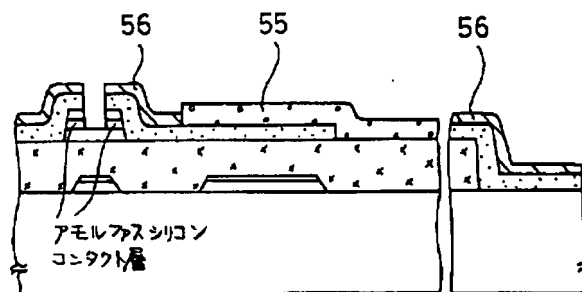
(74) 代理人 弁理士 西野 卓嗣

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【目的】 リフトオフ法の採用によりステップ・カバレッジを良好にし、歩留りの向上を達成し、且つマスクずれ防止による歩留り向上を達成する。

【構成】 液晶表示装置の第1層目の導電体（例えばTFTを用いた装置の場合は、ゲートやゲートラインが相当する。）の段差を、リフトオフ法でなだらかに形成する。リフトオフ法では、レジスト間にこの導電体材料が形成され、このレジストによりこの導電材料の回り込みが防止されて達成される。従ってこの導電体の上層に被着される膜のステップ・カバレッジが良好となる。またソース電極（ドレイン電極）および表示電極（ドレインライン）をITOで一体で構成する。従ってITO上に形成される電極が、マスクずれによりずれても、接続不良が無くせる。



55: レジスト

56: Ni

## 【特許請求の範囲】

【請求項1】 透明な絶縁性基板上に複数のドレインライン、ゲートラインが形成され、この交点にTFTのスイッチング素子と表示電極がマトリックス状に配置される液晶表示装置の製造方法であって、前記絶縁性基板上に前記TFTのゲートと一体で構成されるゲートラインまたは前記TFTのゲートと一体で構成されるゲートラインとストレージ電極をリフトオフ法により形成する工程と、前記絶縁性基板上に絶縁層を被着する工程と、前記TFTに対応する前記絶縁層上にアモルファスシリコン活性層およびアモルファスシリコン・コンタクト層を形成する工程と、前記TFTのソースに対応するアモルファスシリコン・コンタクト層上から一体となる表示電極または／および前記TFTのドレインに対応するアモルファスシリコン・コンタクト層上から一体となるドレインラインを形成する工程とを少なくとも有することを特徴とした液晶表示装置。

【請求項2】 前記TFTのソースに対応するアモルファスシリコン・コンタクト層上から一体となる表示電極または／および前記TFTのドレインに対応するアモルファスシリコン・コンタクト層上から一体となるドレインラインを表示電極材料で形成することを特徴とした請求項1記載の液晶表示装置の製造方法。

【請求項3】 前記表示電極はITOで形成され、表面は金属材料が被着されることを特徴とした液晶表示装置の製造方法。

【請求項4】 前記金属はニッケルを主成分とし、無電解メッキにより形成されることを特徴とした請求項3記載の液晶表示装置の製造方法。

【請求項5】 透明な絶縁性基板を用意する工程と、前記絶縁性基板上にホトレジストを塗布する工程と、前記絶縁性基板上に形成予定のゲートと一体となるゲートラインまたは前記TFTのゲートと一体で構成されるゲートラインとストレージ電極に対応するホトレジストを除去する工程と、全面に前記TFTのゲート材料を被着する工程と、前記ホトレジストを剥離し、前記ゲートと一体となるゲートラインまたは前記TFTのゲートと一体で構成されるゲートラインとストレージ電極に形成する工程と、前記絶縁性基板上に絶縁層を形成し、前記TFTに対応する絶縁層上にアモルファスシリコン活性層およびアモルファスシリコン・コンタクト層を形成する工程と、前記TFTのソースに対応するアモルファスシリコン・コンタクト層上から一体となる表示電極または／および前記TFTのドレインに対応するアモルファスシリコン・コンタクト層上から一体となるドレインラインをITOにより形成する工程と、前記TFTのソースおよびドレインの一端と一致するように前記TFTのチャンネル領域に対応する前記アモルファスシリコン・コンタクト層を除去する工程と、前記ITO上にニッケルを無電解メッキで形成する工程とを少なくとも有すること

を特徴とした液晶表示装置の製造方法。

【請求項6】 前記アモルファスシリコン・コンタクト層上にクロムを形成することを特徴とした請求項5記載の液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は液晶表示装置の製造方法に関し、特に液晶表示装置を構成するスイッチング素子の第1層目の構成部またはこの構成部と一体となる行ラインまたは列ラインの一方の段差を良好に形成するものであり、また液晶表示装置を構成するスイッチング素子の位置ずれを防止するものである。更にはスイッチング素子の欠陥を減少し液晶表示装置の歩留りを向上する液晶表示装置の製造方法に関するものである。

## 【0002】

【従来の技術】 一般に液晶ディスプレイには、セグメント表示とマトリックス表示の2種類があり、ここではマトリックス表示に関して述べてゆく。特にテレビ等の精細な画像を表示する場合は、高い解像度の映像が求められ、スイッチング素子をマトリックス状に配列したアレイを用いて、液晶を直接スイッチ駆動するアクティブ・マトリックス表示が注目されるようになって来た。このアクティブ・マトリックス表示は、MOSトランジスタアレイで駆動する方法、薄膜トランジスタアレイで駆動する方法、パリスタ素子やMIM (metal insulator metal) 素子を用いて駆動する方法に大別できる。以上の事柄は、例えば株式会社工業調査会が発行した「液晶の最新技術」や日経BP社が発行した「フラットパネル・ディスプレイ1991」等に詳しく述べられている。

【0003】 これらの液晶ディスプレイは、画素数の向上、歩留りの向上およびコストの低下等の様々な問題点を解決し、飛躍的に改善してゆく必要がある。特に画素数の向上を行うには、素子を微細化し、また素子を構成する導電部や活性領域の断線、ショート防止および特性改善等を至急に対策してゆく必要がある。以下にこれらの問題点を具体的に説明するために、特開昭62-276526号公報、ここではTFTを利用したアクティブ・マトリックス液晶表示装置で説明されている、を活用しながら説明してゆく。

【0004】 先ず図14において、図番(10)はガラス等の透明な絶縁基板である。この絶縁基板(10)上面に、ITOより成る透明導電膜(11)およびCr, Ni, Mo等より成る金属膜(12)を形成し、この積層された各膜(11), (12)をフォトリソグラフィによりエッチングし、画素電極部(13)をマトリックス状に形成する。またこの画素電極(13)に対応するゲート電極(14)およびゲートライン(15)を形成する。

【0005】 ここでは、レジスト塗布、露光、現像処理により金属膜(12)上にレジストパターンを形成し、

露出した金属膜(12)および下層の透明電極(11)をエッチングし、ゲート電極(14)、ゲートライン(15)および画素電極部(13)を形成している。続いて、図15の如く、金属膜(12)を覆うように、ゲート絶縁膜(16)および2層のアモルファスシリコン層(17)、(18)をプラズマ・CVD法で連続して積層形成する。ここでゲート絶縁膜(16)はシリコン窒化膜であり、アモルファスシリコン層は、活性アモルファスシリコン層(17)とイオンをドーブしたアモルファスシリコン層(18)より成る。そして積層されたゲート絶縁膜(16)および2層のアモルファスシリコン層(17)、(18)をフォトリソグラフィにより処理し、ここではゲート電極(14)およびゲートライン(15)を覆う部分のみにゲート絶縁膜(16)および2層のアモルファスシリコン層(17)、(18)が残るように処理する。

【0006】次に図16の如く、アモルファスシリコン層(17)、(18)を覆うようにアルミニウムを蒸着し、フォトリソグラフィによりレジスト膜(19)を形成し、アルミニウムより成る金属膜(20)をエッチングして、ドレイン電極(21)、ドレインライン(22)およびソース電極(23)を形成する。更に図17に示すように、レジスト膜(19)を残した状態で、表面に露出しているイオンをドーブしたアモルファスシリコン層(18)および画素電極部(13)の金属膜(12)を、エッチングで除去する。

【0007】最後に、レジスト膜(19)を取除くと図18の如く、絶縁基板(10)の上面に透明な画素電極(24)が形成され、この画素電極(24)に対応してTFTが電気的に接続された状態に形成される。

【0008】

【発明が解決しようとする課題】前述した製造方法では、次の様な問題が発生する。先ず第1に、ゲート電極(14)およびゲートライン(15)を形成する際、レジストの形成部はエッチングされず、レジストの非形成部がエッチングされるため、図14の如く、ゲート電極(14)およびゲートライン(15)は段差を生じる。特に異方性ドライエッチングを行うと、側辺の段差部はほぼ直角に形成される。従って図15乃至図18に示すように、この上にゲート絶縁膜(16)、アモルファスシリコン層(17)、(18)およびドレイン電極(21)やドレインライン(22)を積層してゆくと、側辺の段差がほぼ直角であるために、ステップ・カバレッジが悪化し、ドレインライン(22)等の断線やショートを生じる問題がある。

【0009】また前述したように、レジストを表面に覆ってエッチングする通常のエッチングであるため、図14のゲート電極(14)やゲートライン(15)のエッチングでは、ガラス基板(10)をエッチングする可能性があり、ガラス基板(10)に欠陥等を誘発させる可

能性があり、スイッチング素子の特性劣化をまねく。またエッチングの際、ゲート電極(14)やゲートライン(15)上にはレジスト膜が形成されており、このレジスト膜を介してゲート材料をエッチングする際にレジストの欠陥等によりピンホールを形成する。またレジスト膜を除去する際、全て除去できず、ゲート電極(14)やゲートライン(15)上のゴミとして存在する可能性がある。しかもエッチングをしようとする目的物の下層もエッチングされる可能性があるため、スイッチング素子の特性劣化等を生じる問題がある。

【0010】更には図14乃至図18の一連の製造工程に於て、エッチングの対象物の被着、レジストの全面被着、レジストのパターンエッチングおよびパターン化されたレジストを介しての前記対象物のエッチングが繰り返して行われるために、工程数が増大し、特性の劣化や歩留りの低下を生じる問題がある。また前述した製造方法では、次の問題も生じる。図16に於て、レジスト(19)のパターンずれにより、画素電極(13)上にレジストが被着されないと、アルミニウム(20)は画素電極(13)と電気的に接続されない状態で形成される恐れが生じる。従来例の欄でも述べた様に、画素数の向上を達成するには、素子を微細化する必要があり、この微細化に伴い、この構成部のずれは増々顕著になり、歩留り低下の原因となる。

【0011】

【課題を解決するための手段】本発明は、前述の課題に鑑みて成され、絶縁性基板(31)上にTFT(45)のゲート(34)と一体で構成されるゲートライン(35)または前記TFT(45)のゲート(34)と一体で構成されるゲートライン(35)とストレージ電極(36)をリフトオフ法により形成する工程と、前記絶縁性基板(31)上に絶縁層(40)を被着する工程と、前記TFT(45)に対応する前記絶縁層(40)上にアモルファスシリコン活性層(41)およびアモルファスシリコン・コンタクト層(42)を形成する工程と、前記TFT(45)のソース(49)に対応するアモルファスシリコン・コンタクト層(42)上から一体となる表示電極(50)または/および前記TFT(45)のドレイン(48)に対応するアモルファスシリコン・コンタクト層(42)上から一体となるドレインライン(44)を形成する工程とを少なくとも有することで解決するものである。

【0012】

【作用】先ずリフトオフ法について説明すれば、構成物(例えばゲート)を形成しようとする領域以外にレジストが残るように、所望のレジストパターンを形成する。続いて構成物の一つである導電膜を全面に形成し、レジストを除去する。その結果、除去されたレジスト間に導電膜が形成される。

【0013】この方法によって生じる第1の作用は、レ

5

ジストの除去のみで、導電膜のエッチングをしなくても導電膜のパターン化が実現できる点である。従ってゲート(34)およびゲートライン(35)の形成工程に於て、ゲート材料のエッチングを不要とし、工程数を削減できる効果を有する。ここでは、ゲート(34)やゲートライン(35)にリフトオフを適用しているが、ゲート形成工程以降でも実施できるため、更に工程数を削減できる。従って工程数の削減により、ゴミの付着低減、欠陥の低減および歩留りの低下を防止できる。

【0014】第2の作用は、構成物の一つである例えば導電膜の側辺部の段差をなだらかに形成できることにある。前述した様に、レジスト間に導電膜を被着するため、スパッタリング、蒸着等の方法では、レジストにより被着原子または分子の回り込みが少ないために、導電膜の側辺部は、なだらかな形成が可能となる。従ってステップ・カバレッジの悪化を防止し、ドレインライン等の断線やショートを防止できる効果を有する。

【0015】一方、表示電極(50)材料でソースと表示電極(50)を一体で形成するため、ソースと表示電極(50)との電氣的接続は、全く問題がなくなる。しかも表示電極(50)材料が形成された領域は、表面に導電材料が被着されているので、ソース、ドレインおよびドレインラインは、アルミニウム等の金属で形成した時の抵抗値と本質的に同等となる。

【0016】また表示電極(50)の材料としてはITOが考えられ、このITOは上層にNiメッキを実施できるので、導電層であるNiとITOのずれが全く生じなくなる。

【0017】

【実施例】以下本発明について説明する。前述の説明からも明らかな如く、本発明は、透明の絶縁性基板上にマトリクス状に形成されるスイッチング素子やこのスイッチング素子と電氣的に接続される行ラインまたは列ラインが複数の層に分けて形成される液晶装置、例えばTFEを用いたもの、TFDを用いたもの等において、優れた効果を有する。

【0018】リフトオフ法は、構成物、例えばゲートやゲートライン(TFDではカソード電極またはアノード電極、カソード電極またはアノード電極に接続される行ラインまたは列ラインに対応する)の形成は、パターニングされたレジスト間に、このゲートまたはゲートラインの導電材料を形成し、このレジストを剥離して、前記レジスト間の導電材料のみを残して形成される。この時、レジストは約2~6 $\mu$ mと厚く形成され、前記導電材料は、約2000Åとレジストと比べたら薄く形成される。従って、導電材料を、例えばスパッタリングや蒸着で形成すると、前記レジストの存在により、ゲートやゲートラインの側辺部には、導電材料が到達しにくくなり、結局ゲートやゲートラインをなだらかに形成することができる。

6

【0019】この結果、このゲートまたはゲートライン上に絶縁膜を介して形成されるソース電極、ドレイン電極、およびドレインラインのステップ・カバレッジが良好となり、これらの断線またはショートを防止できる。またレジスト塗布、レジストのパターニング、前記導電材料の被着、レジストの剥離の4工程で、前記ゲートまたはゲートラインの形成が可能であるため、1工程減少できるために歩留りの向上が望める。

【0020】しかも、リフトオフ法は、ゲートまたはゲートラインを形成するためのエッチング液やエッチングガスを使用しないため、ゲート周囲またはゲートライン周囲の絶縁性基板をエッチングすることがない。従って更なる歩留りの向上が望める。以上、全般的にリフトオフを活用した際の効能に付いて述べてきたが、具体的に、TFEを使った液晶装置の一実施例を図1から図9を参照しながら説明してゆく。

【0021】まず、光を透過する絶縁性基板(31)を用意し、洗浄を行う。次にホトレジスト(32)を塗布し、ゲート、ゲートライン、およびストレージ電極に対応するレジストを除去して、パターニングし、全面にゲート材料(33)を全面に被着する。ここでは、ゲート材料としてアルミニウムおよびチタンまたはアルミニウムおよび銅を使いスパッタリング法で形成する。ここまですべてを図1に示した。以下図面は、波線で左右を分断しており、左側がトランジスタを示し、右側がドレイン端子を示している。

【0022】続いて、前記レジストの剥離を行う。図2に示すようにレジストは全て除去され、同時にレジスト(32)間に形成されたゲート(34)、ゲートライン(35)およびストレージ電極(36)が形成される。図11は、セルの拡大平面図であり、ゲート(34)およびゲートライン(35)が上下に一点破線で示されている。またストレージ電極(36)が一点破線でフィッシュボーンのように上下に形成されている。以上の工程は本発明の第1の特徴となる工程であり、いわゆるリフトオフ法にて形成されるために、ゲート(34)、ゲートライン(35)およびストレージ電極(36)のステップはなだらかに形成される。つまり図1のように、レジスト(32)がゲート材料の形成の際に、壁となり、レジストと隣接した領域にゲート材料が回り込みにくくなるためである。

【0023】続いて、図12の端子部、ここではゲート端子(37)およびドレイン端子(38)を覆うリング状のマスキング、例えばメタルマスク(39)を形成し、絶縁膜(40)例えばシリコンチッカ膜、アモルファスシリコン膜(41)、高濃度のN型のアモルファスシリコン膜(42)を形成する。またこの上にクロム膜(43)が形成されるが連続で形成されてもよいし、スパッタリングで形成されてもよい。(図3参照)本工程でメタルマスク(39)を用いている理由は、ドレインライ

ン(44)とドレイン端子(38)、ゲートライン(35)とゲート端子(37)を接続する際に、コンタクト孔を介せず接続するためである。またCVD等で約300度まで上昇するためである。もしメタル以外でもこの高温に耐え得る材料があれば、これをマスクとしてもよい。従来、液晶装置は、図13のように形成されている。中央のマトリックス状に形成されている小さな四角形は、TFTおよびこのTFT周囲に形成される表示電極、ゲートライン(100)、ドレインライン(101)、補助容量および補助容量ライン(102)を一組としたセルを示すものであり、左右にはドレインライン(101)が伸び、ドレイン端子(103)に接続され、この間には、救済ライン(104)が横切って形成されている。一方、上下にはゲートライン(100)及び補助容量ライン(102)が伸び、ゲートライン(100)はゲート端子(105)と接続され、補助容量ライン(102)は、ゲートライン(100)を横切るように接続ライン(106)で並行に接続されている。このドレインライン(101)と救済ライン(104)、接続ライン(106)とゲートライン(100)はクロスするために、同層では形成できずクロスオーバーされている。従って一本のゲートラインに対して、上と下に2つのコンタクトホールが形成される。また一本のドレインライン(101)に対して、左右に2対のコンタクトホールが形成される。このコンタクトホールは、画素数の増大および微細化に伴い、歩留りの低下を招く。つまりコンタクトホールの数が非常に多く、しかも非常に小さいために、コンタクトホールの形成不良、コンタクト不良および工程数増加に伴う不良を招く。どのようにコンタクトするかは、以下の工程の説明にて説明されるので、ここでは省略する。

【0024】続いて、前記メタルマスク(39)を除去し、図11のゲート(34)上に長方形の実線で示されている形状を達成するために、フォトレジストの塗布、露光、現像を行い、TFT(45)のゲートに対応する領域のみを残し、前記クロム膜(43)、アモルファスシリコン(42)、(41)をケミカルエッチングする。またここでは、ゲートライン(35)とドレインライン(44)の交差部(46)も実線のようにエッチングする。続いて前記レジストを除去する。以上は、図4を参照。

【0025】続いて図5の如く、透明電極材料、ここではITO(47)を全面に形成する。更に、図6のように、ドレイン電極(48)、ドレインライン(44)、ソース電極(49)、表示電極(50)およびドレイン端子(38)、ゲート端子(37)に対応する領域上にレジスト(51)が残るようにパターニングする。前記ITO(47)をエッチングした後、前記レジスト(51)を使い、TFT(45)のチャンネルに対応する前記クロム膜(43)およびアモルファスシリコン膜(4

2)をエッチングし、前記レジスト(51)を剥離する。この結果、図7のような形状が達成される。

【0026】ここではレジスト膜、ニッケル膜(56)およびITO(47)をマスクにして、セルフアラインでアモルファスシリコン膜(42)のチャンネル領域をエッチングできるので、このエッチング領域のずれが無くなる。図11に於て、ITO(47)は、破線で示した図番(52)が相当し、ドレインライン(44)、このドレインライン(44)と一体となって形成されるドレイン電極領域、表示電極(50)、この表示電極と一体となって形成されるソース電極領域およびドレインライン(44)と一体となって形成されるドレイン端子領域が連続して形成される。

【0027】本工程で達成される構造は、本発明の特徴となる点である。つまりドレイン電極(48)に対応する領域とドレインライン(44)に対応する領域は、ITOで一体で形成されるため、必ず電氣的に接続される。またソース電極(49)に対応する領域と表示電極(50)は、ITOで一体で形成されるため、必ず電氣的に接続される。特に従来では、ソースをメタルで形成し、表示電極をITOで形成しているの、マスク合せ精度等によりソースと表示電極が接触しない場合が生じていた。

【0028】ここで図12に示すように、救済ライン(53)は説明を省略したが図1の工程において、ゲートと同一材料で構成され、第1層に形成される。しかも図3のようにメタルマスク(39)で絶縁膜(40)が形成されないの、従来例とは異なりコンタクトホールを形成せずに電氣的にドレインラインとドレイン端子を接続できる。図9から端子部は、ITOとクロムの2層構造であるが、クロムを省略しても良いし、ITOを端子部まで延在させず、ITOとコンタクトしているクロムのみを端子部に延在させても良い。また補助容量ライン(54)も図1の工程で第1層目に形成され、しかも図3のようにメタルマスクで覆われているので、ゲートラインの端子部表面は絶縁膜(40)で覆われず露出している。従って図5及び図6の工程により、コンタクトホールを形成せずにゲート端子(37)とゲートライン(35)を電氣的に接続できる。この構造を図10に示す。ここではゲートライン、ITO、Niの3層構造であるが、ゲートラインのみを端子部へ延在させても良いし、図10においてNiを省略しても良い。

【0029】更に、図8のように、画素電極となる領域のみをレジスト(55)で形成し、全面にニッケル(56)を形成する。ここでニッケルは、無電解メッキで形成され、ドレイン電極(48)、ドレインライン(44)、ソース電極(49)およびドレイン端子(38)上に形成され、これらの抵抗の低下のために成される。本工程により達成される構造は、本発明の特徴点であり、ITO上には、無電解メッキでニッケルが形成でき

9

るため、いわゆるセルフアラインの機能を有して形成できる。ドレイン電極（48）、ドレインライン（44）、ソース電極（49）が下層のITOとずれることなく形成できる。

【0030】Niメッキ法は、まず塩化パラジウムに浸し、ITO表面にPdを還元析出させ、その後に無電解メッキ液に入れ、触媒のPd上にNiを析出させる。メッキ液は、硫酸ニッケル、塩化ニッケル、スルファミン酸ニッケル、塩化アンモニウム、ほう酸、光沢剤、ピット防止剤等が適当に選択されて構成されている。一般に、プラスチック表面のNiメッキは、塩化スズを吸着させてから前工程を行うが、ITOの場合スズを有しているので、この吸着工程は省略をしている。

【0031】従ってソース電極と表示電極、ドレイン電極とドレインラインは必ず電氣的に接続され、しかもニッケルにより、これらの電極の抵抗値を通常の電極並みに下げることができる。またニッケルには限定せずアルミニウム、モリブデン、チタン等の金属を被着させても良い。最後に、前記レジスト（55）を剥離し、図9には示されていないがオーバーコートがほどこされ、対向電極が形成される対向基板と本基板（31）が貼り合わされ、中に液晶が注入されて完成される。

【0032】

【発明の効果】以上の説明からも明らかなように、液晶装置を構成するスイッチング素子の第1層目の導電部、例えばゲートまたはゲートラインがリフトオフ法にて形成されるために、この上層に形成される第2層目の導電部、ここではソース電極、ドレイン電極、行ラインまたは列ライン（ここではドレインライン）のステップ・カバレッジが良好となり、断線やショートを防止でき、歩留りの向上を達成できる。

【0033】またリフトオフ法のため工程数を減少でき、更に歩留りの向上を達成できる。本工程では、ゲートおよびゲートラインの形成工程にて実施したがITOの形成工程、また図8のソース電極、ドレイン電極および端子との接続工程にも実施可能である。更には、ソース電極および表示電極、ドレイン電極およびドレインラインは、ITOで連続して形成できるので、フォトリソ

10

グラフィ等のパターンずれによる接触不良を全く無くせる特徴を有する。

【0034】しかもITO上には、導電材料が被着されており、一般に用いられている金属と同等の抵抗値を有する特徴を有する。従って微細化が進む液晶表示装置に於て、フォトリソグラフィ等のずれによる不良を減少でき、更に歩留りを向上できる。

【図面の簡単な説明】

【図1】本発明にかかわる液晶表示装置の断面図である。

【図2】本発明にかかわる液晶表示装置の断面図である。

【図3】本発明にかかわる液晶表示装置の断面図である。

【図4】本発明にかかわる液晶表示装置の断面図である。

【図5】本発明にかかわる液晶表示装置の断面図である。

【図6】本発明にかかわる液晶表示装置の断面図である。

【図7】本発明にかかわる液晶表示装置の断面図である。

【図8】本発明にかかわる液晶表示装置の断面図である。

【図9】本発明にかかわる液晶表示装置の断面図である。

【図10】本発明にかかわる液晶表示装置の断面図である。

【図11】本発明にかかわる液晶表示装置の平面図である。

【図12】本発明にかかわる液晶表示装置の概略平面図である。

【図13】従来の液晶表示装置の概略平面図である。

【図14】従来の液晶表示装置の断面図である。

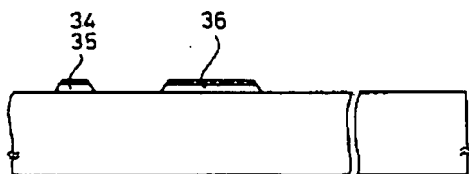
【図15】従来の液晶表示装置の断面図である。

【図16】従来の液晶表示装置の断面図である。

【図17】従来の液晶表示装置の断面図である。

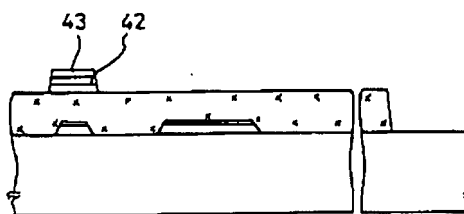
【図18】従来の液晶表示装置の断面図である。

【図2】



34: ゲート  
35: ゲートライン  
36: ストレージ電極

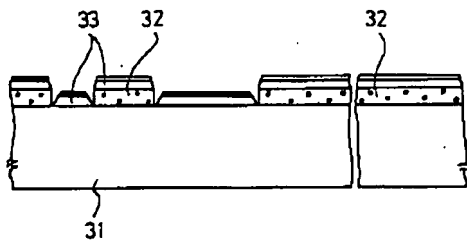
【図4】



42: N<sup>+</sup>アモルファスシリコン膜  
43: Cr

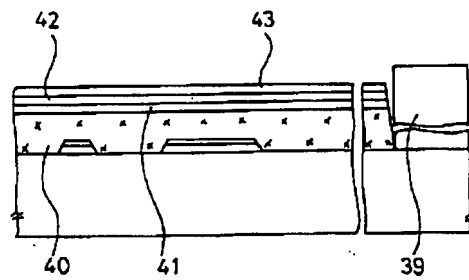


【図1】



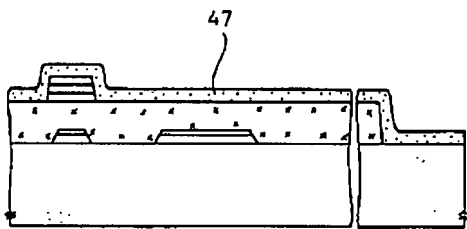
31: 絶縁性基板 32: ホトレジスト  
33: ゲート材料

【図3】



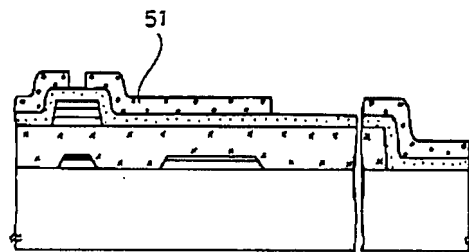
39: メタルマスク 40: 絶縁膜  
41: アモルファスシリコン膜  
42: N<sup>+</sup>アモルファスシリコン膜 43: Cr

【図5】



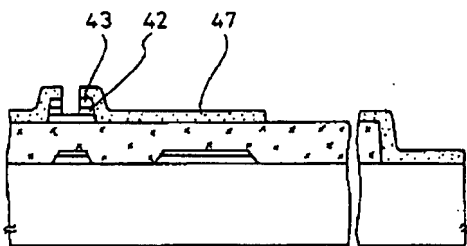
47: ITO

【図6】



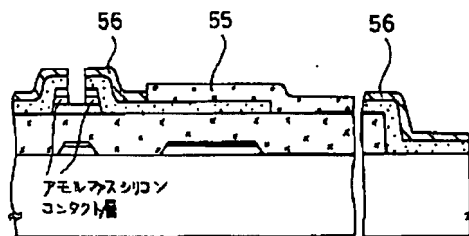
51: レジスト

【図7】



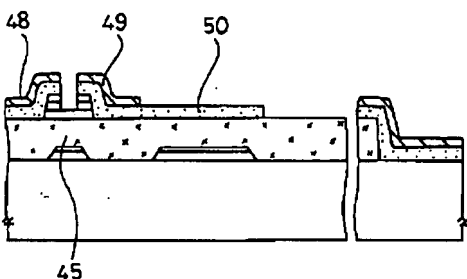
42: N<sup>+</sup>アモルファスシリコン膜  
43: Cr 47: ITO

【図8】



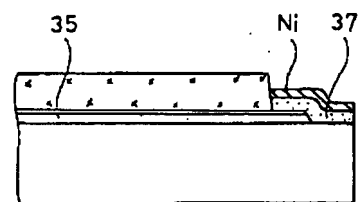
55: レジスト 56: Ni

【図9】



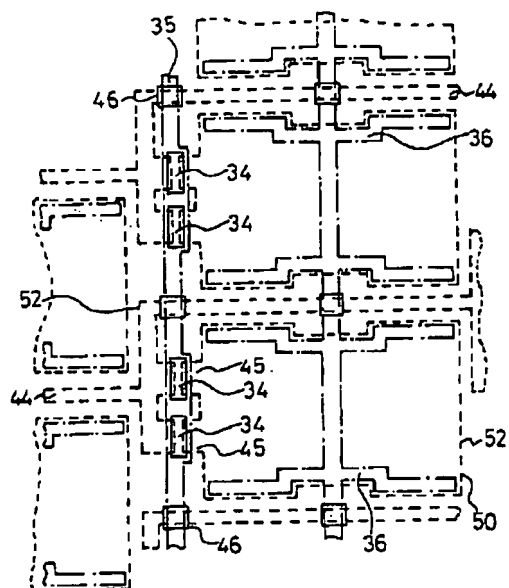
45: TFT 48: ドレイン電極  
49: ソース電極 50: ゲート電極

【図10】



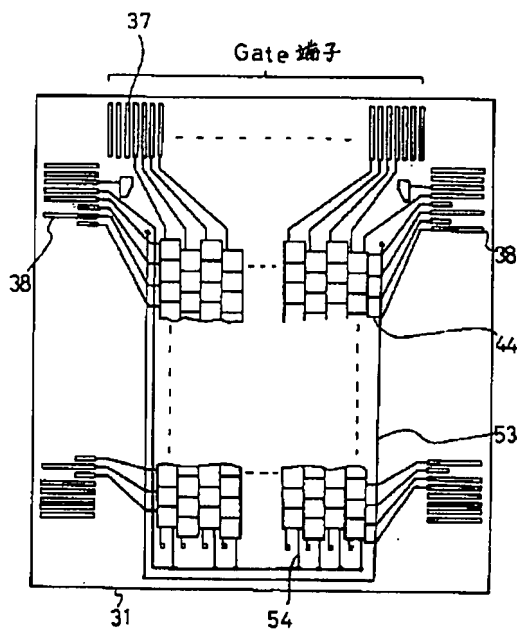
35: ゲートライン  
37: ゲート端子

【図11】



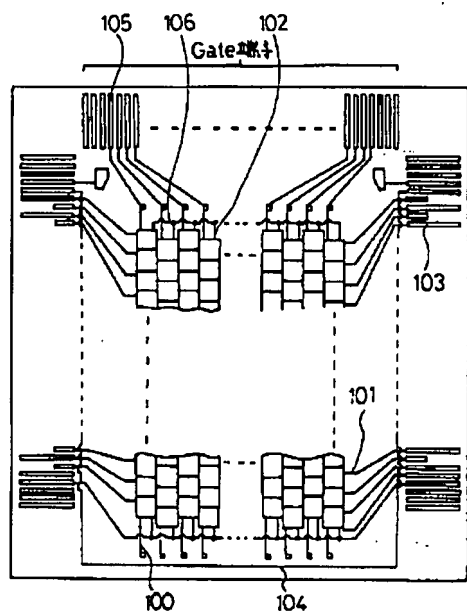
- 34: ゲート  
36: ストレージ電極  
45: TFT
- 35: ゲートライン  
44: ドレインライン  
50: 表示電極

【図12】



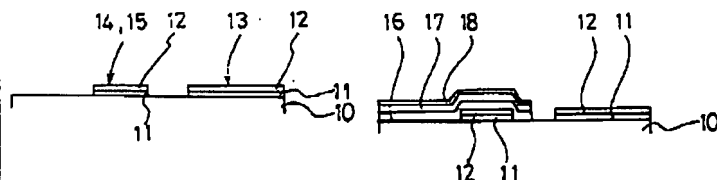
- 31: 絶縁性基板  
38: ドレイン端子  
53: 双層ライン
- 37: ゲート端子  
44: ドレインライン  
54: 補助容量ライン

【図13】

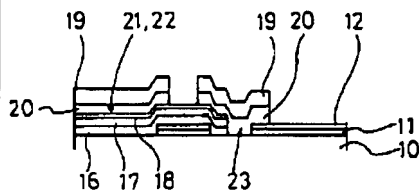


- 100: ゲートライン  
102: 補助容量ライン  
104: 双層ライン  
106: 接続ライン
- 101: ドレインライン  
103: ドレイン端子

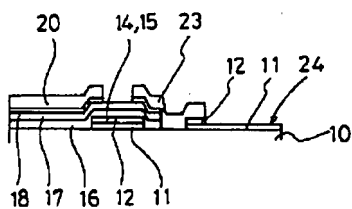
【図14】



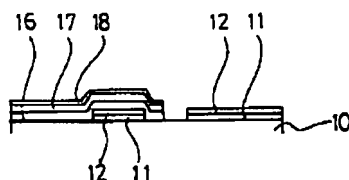
【図16】



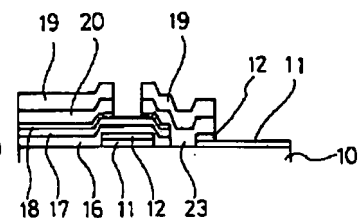
【図18】



【図15】



【図17】



フロントページの続き

(51)Int. Cl.<sup>5</sup>

H 0 1 L 27/12

識別記号

庁内整理番号

F I

技術表示箇所

A 8728-4M